

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-68561

⑬ Int. Cl.⁹

H 01 L 25/00
27/04

識別記号

B
G

庁内整理番号

7638-4M
7514-4M

⑭ 公開 平成4年(1992)3月4日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平2-182289

⑰ 出 願 平2(1990)7月9日

⑱ 発 明 者 葛 本 貴 俊 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 青 山 葆 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 外部から単一電圧が印加され、チップ内に内部電源電圧発生回路を有する1チップ半導体記憶装置において、

上記内部電源電圧発生回路が発生する内部発生電圧をチップ外に取り出すためのパッドを設けると共に、上記半導体記憶装置のリード端子上にコンデンサを設け、このコンデンサを上記パッドとグランドとの間に接続したことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、チップ内に内部電源電圧発生回路を有する1チップ半導体記憶装置に関する。

【従来の技術】

従来の半導体記憶装置においては、内部発生電源はLSI内に数10～数100pF程度のわ

ずかな容量のコンデンサを内蔵しているだけで、負荷変動に対する安定化についてチップサイズの制限上、特に対策は行われていない。そのため、内部発生電源は負荷変動による電圧変動が生じても問題の無い回路に用いるように配慮されていた。負荷変動により大きな電圧変動がそのチップの特性に悪影響のある場合は、別の電源を外部から印加するか、もしくはチップサイズを犠牲にして内部容量の増加を行っている。

ところで、半導体記憶装置は世代交代が進むにつれて微細加工技術が進歩し、内部回路のサイズが小さくなっている。このため、内部回路の耐電圧の値の低下が進行している。したがって、内部回路の動作電圧を小さくすることが要望されているが、他の回路とのインターフェイス等の関連により、上記内部回路に印加する外部電圧は小さくできない。したがって、外部電圧は従来通りとし、内部電源電圧発生回路を設けて、内部回路の動作電圧のみを小さくしている。ところが、半導体記憶装置は動作電流が大きいので、小さな内部発生

電圧の負荷変動に対する電圧降下を小さくしようとすると、大きな内蔵容量が必要となり、そのためチップサイズを大きくする程の大容量のコンデンサを内蔵するか、あるいは、コンデンサの容量を小さくして、多少の電圧降下を許容するかを選択を迫られることとなる。

【発明が解決しようとする課題】

そこで、本発明の目的は、チップのサイズを大きくすることなしに、負荷変動に対する内部電源電圧の電圧変動を小さくでき、誤動作を抑えることのできる半導体記憶装置を提供することにある。

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体記憶装置は、外部から単一電圧が印加され、チップ内に内部電源電圧発生回路を有する1チップ半導体記憶装置において、上記内部電源電圧発生回路が発生する内部発生電圧をチップ外に取り出すためのパッドを設けると共に、上記半導体記憶装置のリード端子上にコンデンサを設け、このコンデンサを上記パッドとグランドとの間に接続したこ

2は、第2図に示すように、内部電源電圧発生回路としてのV_{BB}発生回路7と、V_{DD}発生回路8を備えている。上記V_{BB}発生回路7およびV_{DD}発生回路8は、夫々LSIチップ2の外部から電圧V_{CC}を印加され、上記LSIチップ2の内部電源電圧としての内部V_{BB}電圧および内部V_{DD}電圧を発生する。また、上記LSIチップ2には、上記V_{BB}発生回路7に魅ながるパッド10と上記V_{DD}発生回路8に魅ながるパッド11を設けている。上記パッド10、11は夫々リード端子3、4に接続している。したがって、上記チップコンデンサC₁は、一端をリード端子3を介してパッド10に接続し、他端をグランド端子13を介してグランドに接続している。また、上記チップコンデンサC₂は、一端をリード端子4を介してパッド11に接続し、他端をグランド端子14を介してグランドに接続している。

上記構成の半導体記憶装置は、上記V_{BB}発生回路7またはV_{DD}発生回路8に魅ながる図示しない外部負荷が変動した場合に、上記チップコンデ

とを特徴としている。

【作用】

リード端子上にコンデンサを設けているので、チップのサイズを大きくする必要はない。このコンデンサはパッドとグランドとの間に接続している。上記パッドは、内部電源電圧発生回路に魅ながっている。したがって、上記コンデンサは、上記内部電源電圧発生回路に魅ながる外部負荷が変動した場合に、内部電源電圧発生回路が発生する内部電源電圧の変動を小さく抑える。

【実施例】

以下、本発明を図示の実施例により詳細に説明する。

第1図は、この実施例の半導体記憶装置の平面図、第2図は上記半導体記憶装置の回路図である。第1図において、1はパッケージ、2はLSIチップ、5は封止樹脂である。チップコンデンサC₁をリード端子3およびグランド端子13上に設け、チップコンデンサC₂をリード端子4およびグランド端子14上に設けている。上記LSIチップ

ンサC₁またはチップコンデンサC₂が、V_{BB}発生回路7が発生する内部電源電圧としての内部V_{BB}電圧またはV_{DD}発生回路8が発生する内部電源電圧としての内部V_{DD}電圧の変動を小さく抑える。すなわち、外部負荷の変動に対する内部電源電圧の変動を小さく抑えることができ、誤動作を抑える事ができる。また、上記チップコンデンサC₁、C₂は夫々、上記リード端子3、4およびグランド端子13、14の上に設けており、上記LSIチップ2の内部に設けていないので、上記コンデンサC₁、C₂を設けることによって、上記LSIチップ2のサイズを大きくする必要はない。

【発明の効果】

以上の説明より明らかなように、本発明の半導体記憶装置は、リード端子上にコンデンサを設けているので、チップのサイズを大きくする必要はない。さらに、このコンデンサを内部電源電圧発生回路に魅ながるパッドとグランドとの間に接続しているため、上記コンデンサは、上記内部電源電圧発生回路に魅ながる外部負荷が変動したとき

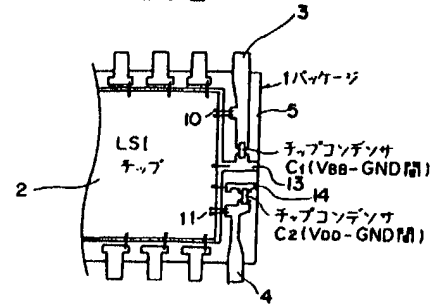
に、上記内部電源電圧発生回路が発生する内部電源電圧の変動を小さく抑えることができ、誤動作を抑えることができる。

4. 図面の簡単な説明

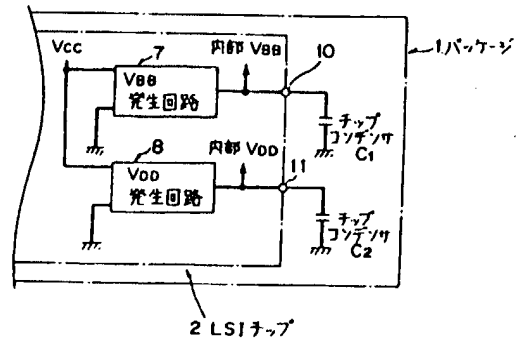
第1図は本発明の一実施例の半導体記憶装置の平面図、第2図は上記実施例の回路図である。

- 1…パッケージ、2…LSIチップ、
- 3,4…リード端子、5…封止樹脂、
- 7…V_{BB}発生回路、8…V_{DD}発生回路、
- 10,11…パッド。

第1図



第2図



特許出願人 シャープ株式会社
代理人 弁理士 青山 森 ほか1名